

МИНИСТЕРСТВО ПРОСВЕЩЕНИЯ  
РОССИЙСКОЙ ФЕДЕРАЦИИ

**ФЕДЕРАЛЬНОЕ  
ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ  
ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ  
«ЛУГАНСКИЙ ГОСУДАРСТВЕННЫЙ ПЕДАГОГИЧЕСКИЙ УНИВЕРСИТЕТ»  
(ФГБОУ ВО «ЛГПУ»)**

**Структурное подразделение** Институт физико-математического  
образования, информационных и обслуживающих технологий  
**Кафедра** информационных образовательных технологий и систем

**УТВЕРЖДАЮ**

Директор ИФМОИОТ

Е.Е. Горбенко

2023 г.



Приложение к рабочей программе учебной дисциплины

**ФОНД ОЦЕНОЧНЫХ СРЕДСТВ**

**для проведения текущего контроля и промежуточной аттестации  
обучающихся по дисциплине**

**«Современные микропроцессорные системы»**

**По направлению подготовки 44.04.01 Педагогическое образование**

**Профиль подготовки Информатика и образовательная робототехника**

**Квалификация выпускника – магистр**

**Форма обучения очная, заочная**

**Курс ОФО – 2 курс, ЗФО – 2 курс**

Разработчик

Короп Г. В.

доцент, кафедры информационных  
образовательных технологий и  
систем канд. тех. наук, доцент

Заведующий кафедрой

Д.А. Капустин

Протокол от «24» ноября 2023 г. №8

Луганск, 2023

# 1. ПАСПОРТ ФОНДА ОЦЕНОЧНЫХ СРЕДСТВ

## 1.1. Область применения

Фонд оценочных средств (ФОС) – неотъемлемая часть рабочей программы дисциплины (модуля) Современные микропроцессорные системы и предназначен для контроля и оценки образовательных достижений студентов, освоивших программу дисциплины (модуля).

## 1.2. Цели и задачи фонда оценочных средств

Цель ФОС – установить соответствие уровня подготовки обучающегося требованиям ФГОС ВО бакалавриат / специалитет / магистратура по направлению подготовки 44.04.01 Педагогическое образование, утвержденного приказом Министерства образования и науки Российской Федерации от 22 февраля 2018 г. № 126 (с изменениями и дополнениями).

## 1.3. Перечень компетенций, формируемых в процессе освоения основной образовательной программы

Процесс освоения дисциплины направлен на формирование следующих компетенций и индикаторов их достижения:

Код по ФГОС ВО	Индикатор достижения
Универсальные	
УК-2. Способен управлять проектом на всех этапах его жизненного цикла	УК-2.1. Знает технологии управления проектами на всех этапах его жизненного цикла УК-2.2. Умеет осуществлять практическое управление проектами на всех этапах его жизненного цикла УК-2.3. Имеет практический опыт управления проектами на всех этапах его жизненного цикла
Профессиональные	
ПК-2. Интеграция разработанного программного обеспечения	ПК-2.1. Знать современные технологии интеграции разработанного системного программного обеспечения ПК-2.2. Уметь осуществлять интеграцию разработанного системного программного обеспечения ПК-2.3. Владеть навыками интеграции разработанного системного программного обеспечения

## 1.4. Этапы формирования компетенций и средства оценивания уровня их сформированности

Этапы формирования компетенций	Компетенции	Контрольно-оценочные средства / способ оценивания
--------------------------------	-------------	---

Исследование работы логических элементов ПЛИС Cyclone III FPGA	УК-2; ПК-2	Выполнение лабораторных работ
Исследование работы триггеров ПЛИС Cyclone III FPGA	УК-2; ПК-2	Выполнение лабораторных работ
Изучение работы шифратора при помощи отладочной платы ED0 фирмы ALTERA.	УК-2; ПК-2	Выполнение лабораторных работ
Изучение работы дешифратора при помощи отладочной платы ED0 фирмы ALTERA.	УК-2; ПК-2	Выполнение лабораторных работ
Изучение работы мультиплексора при помощи отладочной платы ED0 фирмы ALTERA.	УК-2; ПК-2	Выполнение лабораторных работ
Изучение работы демultipлексора при помощи отладочной платы ED0 фирмы ALTERA.	УК-2; ПК-2	Выполнение лабораторных работ
<b>Текущая аттестация</b>	УК-2; ПК-2	Контрольная работа
<b>Промежуточная аттестация</b>	УК-2; ПК-2	Экзамен (письменный)

### 1.5. Описание показателей формирования компетенций

Код компетенции	Результаты сформированности
УК-2. Способен управлять проектом на всех этапах его жизненного цикла	<p>УК-2.1. Знает технологии управления проектами на всех этапах его жизненного цикла</p> <p>УК-2.2. Умеет осуществлять практическое управление проектами на всех этапах его жизненного цикла</p> <p>УК-2.3. Имеет практический опыт управления проектами на всех этапах его жизненного цикла</p>
ПК-2. Интеграция разработанного программного обеспечения	<p>ПК-2.1. Знает современные технологии интеграции разработанного системного программного обеспечения</p> <p>ПК-2.2. Умеет осуществлять интеграцию разработанного системного программного обеспечения</p> <p>ПК-2.3. Владеет навыками интеграции разработанного системного программного обеспечения</p>

### 1.6. Критерии оценивания компетенций на разных этапах их формирования

Вид учебной работы	Количество баллов
--------------------	-------------------

3 семестр / 4-5 триместр			
	<b>ОФО</b>	<b>О-ЗФО</b>	<b>ЗФО</b>
Оформление отчетов по лабораторным работам	40 баллов		40 баллов
Работа на лабораторных занятиях	40 баллов		40 баллов
Выполнение тестовых заданий	-		-
Выполнение заданий самостоятельной работы	10 баллов		10 баллов
экзамена	10 баллов		10 баллов
<b>Итого за семестр:</b>	100 баллов		100 баллов
<b>Всего</b>	100 баллов		

### Накопительная система оценивания по 100-балльной шкале

Четырехбал- льная система оценивания экзамена	100- балльная шкала	Буквенная шкала, соответствующая 100- балльной шкале	Система оценивания зачета
Отлично	90–100	<b>А</b> – отлично – теоретическое содержание курса освоено полностью, без пробелов; необходимые практические навыки работы с освоенным материалом сформированы; все предусмотренные программой обучения учебные задания выполнены, качество их выполнения оценено числом баллов, близким к максимальному	Зачтено
Хорошо	83–89	<b>В</b> – очень хорошо – теоретическое содержание курса освоено полностью, без пробелов; необходимые практические навыки работы с освоенным материалом в основном сформированы; все предусмотренные программой обучения учебные задания выполнены, качество выполнения большинства из них оценено числом баллов, близким к максимальному	
Хорошо	75–82	<b>С</b> – хорошо – теоретическое содержание курса освоено полностью; некоторые практические навыки работы с освоенным материалом сформированы недостаточно; все предусмотренные программой обучения учебные задания выполнены, качество выполнения ни одного из них не оценено минимальным числом баллов, некоторые виды заданий выполнены с ошибками	
Удовлетво- рительно	63–74	<b>Д</b> – удовлетворительно – теоретическое содержание дисциплины освоено частично, но пробелы не носят существенного характера; необходимые практические навыки работы с освоенным материалом в основном сформированы; большинство предусмотренных программой обучения учебных заданий выполнено, некоторые из выполненных заданий, содержат ошибки	
Удовлетво-	50–62	<b>Е</b> – посредственно – теоретическое	

нительно		содержание курса освоено частично; некоторые практические навыки работы не сформированы, многие предусмотренные программой обучения учебные задания не выполнены либо качество выполнения некоторых из них оценено числом баллов, близким к минимальному	
Неудовлетворительно	<b>21–49</b>	<b>FX</b> – неудовлетворительно – теоретическое содержание курса освоено частично; необходимые практические навыки работы не сформированы; большинство предусмотренных программой обучения учебных заданий не выполнено либо качество их выполнения оценено числом баллов, близким к минимальному; при дополнительной самостоятельной работе над материалом курса возможно повышение качества выполнения учебных заданий	Не зачтено
Неудовлетворительно	<b>0–20</b>	<b>F</b> – неудовлетворительно – теоретическое содержание курса не освоено; необходимые практические навыки работы не сформированы; все выполненные учебные задания содержат грубые ошибки, дополнительная самостоятельная работа над материалом курса не приведет к какому-либо значимому повышению качества выполнения учебных заданий	

МИНИСТЕРСТВО ПРОСВЕЩЕНИЯ  
РОССИЙСКОЙ ФЕДЕРАЦИИ  
ФГБОУ ВО «ЛГПУ»

ИНСТИТУТ ФИЗИКО-МАТЕМАТИЧЕСКОГО ОБРАЗОВАНИЯ, ИНФОРМАЦИОННЫХ  
И ОБСЛУЖИВАЮЩИХ ТЕХНОЛОГИЙ

2024 – 2025 учебный год

Направление подготовки (специальность): 44.04.01 Педагогическое образование

курс / форма обучения (ОФО,ЗФО): ОФО, ЗФО

Семестр / триместр 3 семестр / 4-5 триместр

Учебная дисциплина: Современные микропроцессорные системы

**ЭКЗАМЕНАЦИОННЫЙ БИЛЕТ № 1**

1. ПЛИС в иерархии цифровых ИМС.
2. Области применения ПЛИС.
3. Выполнить практическое задание.

Утверждено на заседании кафедры информационных образовательных технологий и систем

Протокол № \_\_\_\_ от \_\_\_\_ г.

И.о. заведующего кафедрой ИОТС \_\_\_\_\_ Капустин Д.А.

(подпись)

Экзаменатор

(подпись)

доцент, Короп Г.В..

(должность, ФИО преподавателя)

## 2. КОНТРОЛЬНО-ОЦЕНОЧНЫЕ СРЕДСТВА

### 2.1. Оценочные средства текущего контроля (типовые)

Вопросы для текущего контроля:

1. В основе цифровой электроники лежит система счисления:

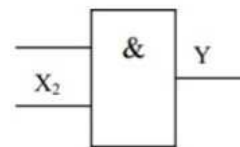
- А) Двоичная
- Б) Десятичная
- В) Шестнадцатеричная
- Г) Восьмеричная

2. Сколько существует основных типов логических схем:

- А) 2
- Б) 3
- В) 4
- Г) 5

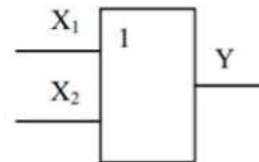
3. На рисунке приведено стандартное обозначение:

- А) Логического элемента И
- Б) Логического элемента ИЛИ
- В) Логического элемента НЕ



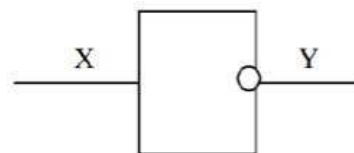
4. На рисунке изображено стандартное обозначение:

- А) Логического элемента И
- Б) Логического элемента ИЛИ
- В) Логического элемента НЕ



5. На рисунке изображено стандартное обозначение:

- А) Логического элемента И
- Б) Логического элемента ИЛИ
- В) Логического элемента НЕ



6. Написать для какого логического элемента представлена таблица истинности:

- А) Логического элемента И
- Б) Логического элемента ИЛИ
- В) Логического элемента НЕ
- Г) Логического элемента И-НЕ

X1	X2	Y
0	0	0
0	1	1
1	0	1
1	1	1

7. Написать для какого логического элемента представлена таблица истинности:

X1	X2	Y
0	0	0

- А) Логического элемента И  
 Б) Логического элемента ИЛИ  
 В) Логического элемента НЕ  
 Г) Логического элемента И-НЕ

0	1	0
1	0	0
1	1	1

8. Написать для какого логического элемента представлена таблица истинности:

- А) Логического элемента И  
 Б) Логического элемента ИЛИ  
 В) Логического элемента НЕ  
 Г) Логического элемента И-НЕ

X1	X2	Y
0	0	1
0	1	1
1	0	1
1	1	0

9. Написать для какого логического элемента представлена таблица истинности:

- А) Логического элемента И  
 Б) Логического элемента ИЛИ  
 В) Логического элемента ИЛИ-НЕ  
 Г) Логического элемента И-НЕ

X1	X2	Y
0	0	1
0	1	0
1	0	0
1	1	0

10. Написать для какого логического элемента представлена таблица истинности:

- А) Логического элемента ИСКЛЮЧАЮЩИЕ И  
 Б) Логического элемента ИСКЛЮЧАЮЩИЕ ИЛИ  
 В) Логического элемента ИЛИ-НЕ  
 Г) Логического элемента И-НЕ

X1	X2	Y
0	0	0
0	1	1
1	0	1
1	1	0

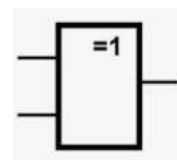
11. Написать для какого логического элемента представлена таблица истинности:

- А) Логического элемента ИСКЛЮЧАЮЩИЕ ИЛИ-НЕ  
 Б) Логического элемента ИСКЛЮЧАЮЩИЕ ИЛИ  
 В) Логического элемента ИЛИ-НЕ  
 Г) Логического элемента И-НЕ

X1	X2	Y
0	0	1
0	1	0
1	0	0
1	1	1

12. На рисунке изображено стандартное обозначение:

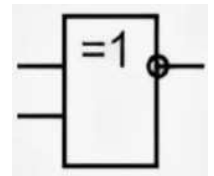
- А) Логического элемента И  
 Б) Логического элемента ИЛИ  
 В) Логического элемента ИСКЛЮЧАЮЩЕЕ ИЛИ



Г) Логического элемента ИСКЛЮЧАЮЩЕЕ И

13. На рисунке изображено стандартное обозначение:

- А) Логического элемента ИСКЛЮЧАЮЩЕЕ И-НЕ
- Б) Логического элемента ИСКЛЮЧАЮЩЕЕ И
- В) Логического элемента ИСКЛЮЧАЮЩЕЕ ИЛИ
- Г) Логического элемента ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ



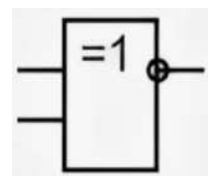
14. Написать для какого логического элемента представлена таблица истинности:

- А) Логического элемента ИЛИ
- Б) Логического элемента И
- В) Логического элемента НЕ
- Г) Логического элемента И-НЕ

X1	Y
0	1
1	0

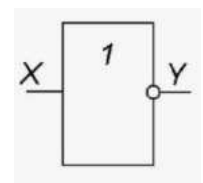
15. На рисунке изображено стандартное обозначение:

- А) Логического элемента ИСКЛЮЧАЮЩЕЕ И-НЕ
- Б) Логического элемента ИСКЛЮЧАЮЩЕЕ И
- В) Логического элемента ИСКЛЮЧАЮЩЕЕ ИЛИ
- Г) Логического элемента ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ



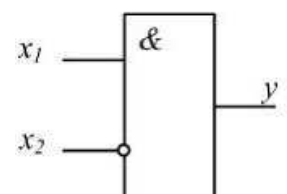
16. На рисунке изображено стандартное обозначение:

- А) Логического элемента НЕ
- Б) Логического элемента И
- В) Логического элемента ИЛИ
- Г) Логического элемента ИЛИ-НЕ



17. На рисунке изображено стандартное обозначение:

- А) Логического элемента ЗАПРЕТА X1
- Б) Логического элемента ЗАПРЕТА X2
- В) Логического элемента НЕ-2И
- Г) Логического элемента 2И-НЕ



18. Написать для какого логического элемента представлена таблица истинности:

- А) Логического элемента ЗАПРЕТА X1
- Б) Логического элемента ЗАПРЕТА X2
- В) Логического элемента НЕ-2И
- Г) Логического элемента 2И-НЕ

X1	X2	Y
0	0	0
0	1	1
1	0	0
1	1	0

19. На рисунке изображено стандартное обозначение для:



- А) Конъюнкции
- Б) Дизъюнкции
- В) Инверсии
- Г) Импликации
- Д) Следования

$$x \vee y$$

$$x + y$$

$$x | y$$

20. На рисунке изображено стандартное обозначение для:

- А) Конъюнкции
- Б) Дизъюнкции
- В) Инверсии
- Г) Импликации
- Д) Следования

$$\wedge, \times, \&, \text{И.}$$

21. На рисунке изображено стандартное обозначение для:

- А) Конъюнкции
- Б) Дизъюнкции
- В) Инверсии
- Г) Импликации
- Д) Следования

$$\overline{A}, \neg A, \text{не } A, \text{not } A$$

22. На рисунке изображено стандартное обозначение для:

- А) Конъюнкции
- Б) Дизъюнкции
- В) Инверсии
- Г) Импликации
- Д) Эквивалентности

$$x \rightarrow y, x \supset y$$

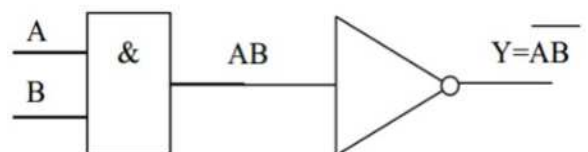
23. На рисунке изображено стандартное обозначение для:

- А) Конъюнкции
- Б) Дизъюнкции
- В) Инверсии
- Г) Импликации
- Д) Эквивалентности

$$A \sim B, A \leftrightarrow B, \\ A \Leftrightarrow B, A = B, A \equiv B$$

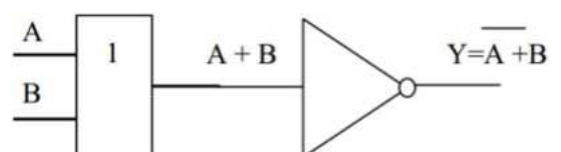
24. На рисунке изображен :

- А) Логический элемент И
- Б) Логический элемент ИЛИ
- В) Логический элемент И-НЕ



25. На рисунке изображен :

- А) Логический элемент ИЛИ
- Б) Логический элемент ИЛИ-НЕ
- В) Логический элемент И-НЕ



26. Триггер – это электронное устройство, обладающее:

- А) Двумя устойчивыми состояниями

Б) Трием устойчивыми состояниями

В) Одним устойчивым состоянием

27. На рисунке изображено упрощенное схематическое обозначение:

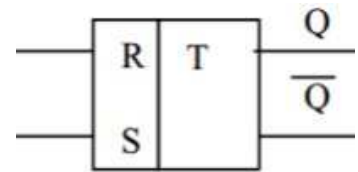
А) RS – триггера +

Б) JK – триггера

В) Т-триггера с синхронизирующим входом

Г) D-триггера

Д) Т-триггера



28. На рисунке изображено упрощенное схематическое обозначение:

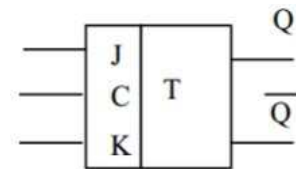
А) RS – триггера

Б) JK – триггера

В) Т-триггера с синхронизирующим входом

Г) D-триггера

Д) Т-триггера



29. На рисунке изображено упрощенное схематическое обозначение:

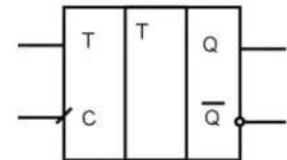
А) RS – триггера

Б) JK – триггера

В) Т-триггера с синхронизирующим входом

Г) D-триггера

Д) Т-триггера асинхронного



30. На рисунке изображено упрощенное схематическое обозначение:

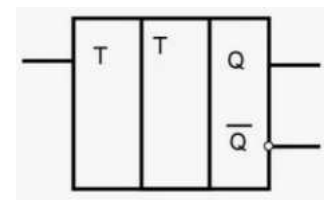
А) RS – триггера

Б) JK – триггера

В) Т-триггера с синхронизирующим входом

Г) D-триггера

Д) Т-триггера асинхронного



31. На рисунке изображено упрощенное схематическое обозначение:

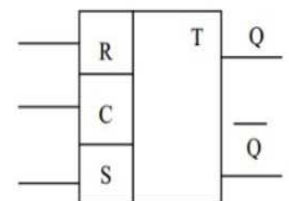
А) RS – триггера с синхронизирующим входом

Б) JK – триггера

В) Т-триггера с синхронизирующим входом

Г) D-триггера

Д) RS-триггера асинхронного



32. На рисунке изображено упрощенное схематическое обозначение:

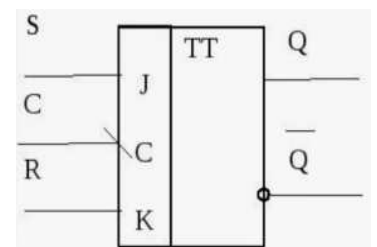
А) RS – триггера с синхронизирующим входом

Б) JK – триггера

В) Т-триггера с синхронизирующим входом

Г) D-триггера

Д) RS-триггера асинхронного



33. Комбинационными называют узлы, не содержащие:

А) элементов памяти

Б) логических элементов

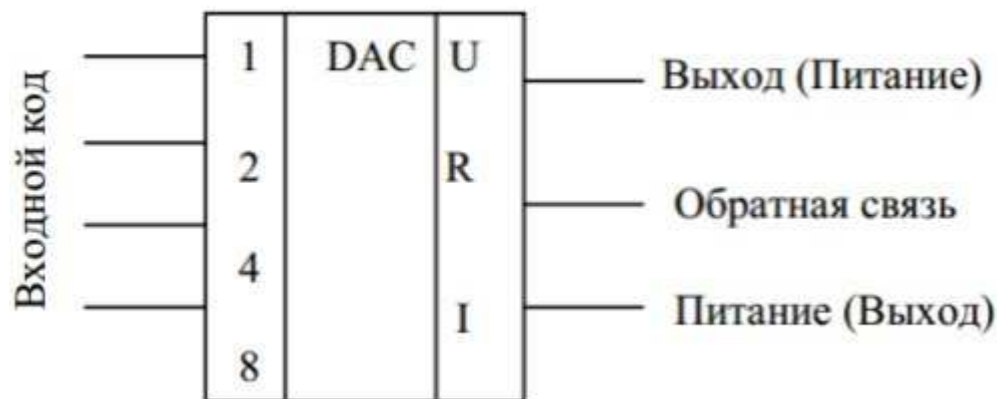
В) дискретных элементов

34. В комбинационных узлах нет входов:

А) информационных

- Б) адресных
  - В) управляющих
  - Г) логических
35. Комбинационная схема, предназначенная для сложения двоичных чисел, называется
- А) сумматором
  - Б) дешифратором
  - В) мультиплексором
  - Г) дешифратором
36. Накапливающий узел, предназначенный для приема, хранения, преобразования и выдачи двоичной информации, называется:
- А) регистром
  - Б) счетчиком
  - В) сумматором
  - Г) шифратором
37. Накапливающий узел, предназначенный для подсчёта событий, подсчёта импульсов, поступающих на счётный вход, называется:
- А) регистром
  - Б) счетчиком
  - В) сумматором
  - Г) шифратором
38. Комбинационная схема, имеющая при  $n$  информационных входах до  $2^n$  выходов и осуществляющая преобразование параллельного двоичного числа в унитарный код, называется:
- А) дешифратором
  - Б) шифратором
  - В) сумматором
  - Г) счетчиком
39. В динамической памяти DRAM информация хранится в ячейке, состоящей из:
- А) запоминающего конденсатора, доступ к которому управляется транзистором
  - Б) электронного переключателя – триггера
  - В) диода
40. В статической памяти SRAM информация хранится в ячейке, состоящей из:
- А) запоминающего конденсатора, доступ к которому управляется транзистором
  - Б) электронного переключателя – триггера
  - В) диода
41. Отметьте неправильный ответ: по способу хранения информации ИМС ЗУ подразделяются на:
- А) статические
  - Б) динамические
  - В) кинематические
42. Объем памяти ЗУ измеряется в:
- А) Байтах

- Б) Омах  
В) Ваттах
43. Отметьте неправильный ответ. Микросхемы ПЗУ ROM делятся на:  
А) Масочные ПЗУ – ПЗУМ (ROM)  
Б) Программируемые пользователем ПЗУ – ППЗУ (PROM)  
В) Репрограммируемые ПЗУ – РПЗУ (EPROM)  
Г) Кинематические ПЗУ
44. Устройство, преобразующее цифровой код в аналоговую величину, называется:  
А) Цифроаналоговый преобразователь (ЦАП)  
Б) Аналогово-цифровой преобразователь (АЦП)  
В) Амплитудно-частотный преобразователь  
Г) Фазочастотный преобразователь
45. Выходные параметры ЦАП  
А) Напряжение или ток  
Б) Мощность  
В) Сопротивление
46. Определите, графическое обозначение какого устройства изображено на рисунке:



- А) цифроаналогового преобразователя (ЦАП)  
Б) аналогово-цифрового преобразователя (АЦП)  
В) сумматора  
Г) шифратора
47. Как называют средний слой у биполярных транзисторов?  
А) Сток  
Б) Исток  
В) База  
Г) Коллектор
48. Сколько p-n переходов содержит транзистор?  
А) Один  
Б) Два  
В) Три
49. Какой материал называется полупроводником n-типа?  
А) тот, в котором основные носители зарядов – электроны;  
Б) тот, в котором основные носители зарядов – дырки;  
В) тот, в котором присутствуют электронно-дырочные пары
50. Какой материал называется полупроводником p-типа?

- А) тот, в котором основные носители зарядов – электроны;  
 Б) тот, в котором основные носители зарядов – дырки;  
 В) тот, в котором присутствуют электронно-дырочные пары

Ключ к тестовому заданию

1	2	3	4	5	6	7	8	9	10
А	Б	А	Б	В	Б	А	Г	В	Б
11	12	13	14	15	16	17	18	19	20
А	В	Г	В	Г	А	Б	А	Б	А
21	22	23	24	25	26	27	28	29	30
В	Г	Д	В	Б	А	А	Б	В	Д
31	32	33	34	35	36	37	38	39	40
А	Б	А	Г	А	А	Б	А	А	Б
41	42	43	44	45	46	47	48	49	50
В	А	Г	Б	А	А	В	Б	А	Б

- 51.МОП-транзисторы. Основные характеристики и технологии изготовления.
- 52.Источники стабильного тока и напряжения.
- 53.Схемотехника интегральных операционных усилителей на биполярных транзисторах.
- 54.Операционные усилители на МОП-транзисторах.
- 55.Функциональные узлы на базе интегральных ОУ.
- 56.КМОП-инвертор.
- 57.Элементы КМОП-логики.
- 58.Элементы БиКМОП-логики.
- 59.Элементы эмиттерно-связанной логики.
- 60.Комбинационные логические схемы.
- 61.Модуляция и демодуляция. Спектры модулированных сигналов.
- 62.Нелинейное и параметрическое преобразование сигналов.
- 63.Цифровые сигналы. Спектры дискретизированных и цифровых сигналов.
- 64.РС-генераторы гармонических колебаний.
- 65.ЛС-генераторы гармонических колебаний.
- 66.Мультивибраторы.
- 67.Генераторы импульсов на специализированных ИС.
- 68.Активные фильтры.
- 69.Фильтры на переключаемых конденсаторах.
- 70.Аналого-цифровые преобразователи.
- 71.Цифро-аналоговые преобразователи.
- 72.Цифровые фильтры.
- 73.Современные программы анализа и проектирования электронных устройств.
- 74.Логические схемы на биполярных транзисторах.
75. ТТЛ с транзисторами Шотки.
76. Основные электрические параметры и характеристики логических элементов ТТЛ.

77. Особенности применения микросхем ТТЛ при разработке цифровых устройств.
78. Логические элементы на КМОП-транзисторах.
79. Принципы построения логических элементов на КМОП-транзисторах.
80. Физическая структура микросхемы на КМОП-транзисторах.
81. Синтез линейного дешифратора.
82. Схема прямоугольного дешифратора.
83. Схема пирамидального дешифратора.
84. Области применения дешифраторов.
85. Шифраторы.
86. Переключательные функции одной и двух переменных.
87. Тождества и законы алгебры логики.
88. Дизъюнктивные и конъюнктивные нормальные формы представления функций алгебры логики.
89. Минимизация логических функций с использованием карт Карно.
90. Анализ и синтез комбинационных схем.
91. Правила оформления схем цифровых устройств.
92. Различные способы построения мультиплексоров.
93. Универсальность использования мультиплексоров.
94. Мультиплексорное дерево.
95. Демультимплексоры.
96. Одноразрядный сумматор на два и три входа.
97. Способы межкаскадных связей.
98. Реализация сумматора на интегральных схемах.
99. Комбинационный сумматор с ускоренным распространением переноса.
100. Сумматор последовательного типа.
101. Накапливающий сумматор.
102. Двоично-десятичный сумматор.
103. Асинхронные RS-триггеры.
104. Синхронные триггеры со статическим управлением.
105. Двухступенчатые триггеры MS-типа с статическим управлением.
106. Схемы простейших регистров.
107. Реверсивные регистры.
108. Асинхронные и синхронные счетчики.
109. Классическая и магистральная структуры вычислительных систем.
110. Организация программных устройств управления.
111. Организация устройств управления с жесткой логикой.
112. Особенности построения устройств управления.
113. Внутренняя и внешняя память вычислительных систем.
114. Классификация микросхем памяти.
115. Режимы работы и характеристики статических БИС ЗУ.
116. Организация статических ЗУ.
117. Структурная организация БИС ЗУ.
118. Построение разных видов запоминающих элементов ОЗУ.

119. Организация модулей ЗУ.
120. Структурная схема микропроцессора.
121. Система команд.
122. Способы адресации.
123. Процесс выполнения команды в микропроцессорном устройстве.
124. Интерфейсные интегральные схемы.
125. Программные и аппаратные способы реализации вычислительных алгоритмов.
126. Элементная база цифровой электронной техники.
127. Классификация цифровых интегральных микросхем.
128. ПЛИС в иерархии цифровых ИМС.
129. Концепция программирования структуры интегральных схем.
130. Классификация ПЛИС.
131. Области применения ПЛИС.
132. Программируемые постоянные запоминающие устройства как ПЛИС.
133. Классификация ПЛИС по виду памяти конфигурации.
134. CPLD: общая структура, функциональные блоки. Блоки ввода/вывода, программируемая матрица соединений.
135. FPGA: общая структура, виды функциональных блоков.
136. FPGA: матрица межсоединений, блоки ввода/вывода, встроенные блоки памяти.
137. Системы синхронизации и тактирования. PLL, DLL, CDR.
138. Системы-на-кристалле: основные понятия, классификация. Требования к ПЛИС, используемым для построения систем на кристалле. Hard- и soft-ядра. Концепция применения IP-ядер.
139. Оценка логической емкости ПЛИС.
140. Оценка быстродействия ПЛИС.

## **2.2. Оценочные средства для промежуточной аттестации**

Вопросы для проведения аттестации

1. Системы счисления, кодированное представление чисел для обработки в ЦВМ.
2. Логические переменные и функции.
3. Принципы построения логических элементов.
4. Основные параметры и характеристики логических элементов.
5. Транзисторный ключ.
6. Схемотехника ТТЛ-вентилей.
7. Разновидности ТТЛ и ТТЛШ логических элементов.
8. ЭСЛ логические элементы.
9. Логические элементы на КМОП-структурах.
10. Способы согласования логических элементов.
11. Причины возникновения помех по цепям питания и методы борьбы с ними.

12. Влияние параметров линий связи на процессы передачи цифровых сигналов.
13. Методы согласования линий связи.
14. Способы уменьшения помех при передаче цифровых сигналов.
15. Классификация цифровых устройств.
16. Преобразователи кода.
17. Дешифраторы.
18. Мультиплексоры.
19. Схемы контроля четности.
20. Цифровые компараторы.
21. Сумматоры двоичных кодов чисел
22. Устройства вычитания двоичных кодов чисел.
23. Сумматоры двоично-десятичных кодов.
24. Арифметико-логические устройства.
25. Умножители двоичных кодов чисел.
26. Триггеры.
27. Регистры.
28. Накапливающий сумматор.
29. Кольцевой счетчик.
30. Двоичные счетчики.
31. Счетчики с произвольным и управляемым модулем счета.
32. Делители и синтезаторы частоты.
33. Классификация и структурная организация полупроводниковых запоминающих устройств.
34. Схемотехника ячеек накопителей статических запоминающих устройств.
35. Динамические запоминающие устройства.
36. Постоянные и перепрограммируемые запоминающие устройства.
37. Принципы обработки цифровых данных.
38. Способы реализации логических функций.
39. Принципы построения и элементы программируемых логических интегральных схем.
40. Периферийное сканирование цифровых устройств.
41. Периферийные узлы цифровых устройств.
42. Формирователи импульсов на логических элементах.
43. Генераторы цифровых сигналов на логических элементах.
44. Генераторы с кварцевой стабилизацией частоты.
45. Способы управления одиночными светодиодными индикаторами.
46. Системы отображения многоразрядных цифровых данных.
47. Жидкокристаллические индикаторы и способы управления ими.
48. Элементы ТТЛ с открытым коллекторным выходом.
49. Элементы ТТЛ с тремя состояниями.
50. Ключи на МДП транзисторах с линейной и нелинейной нагрузкой.
51. Ключи на МДП транзисторах с квазилинейной нагрузкой.
52. Ключи на МДП транзисторах с улучшенной нелинейной нагрузкой.
53. Ключи на КМДП транзисторах.

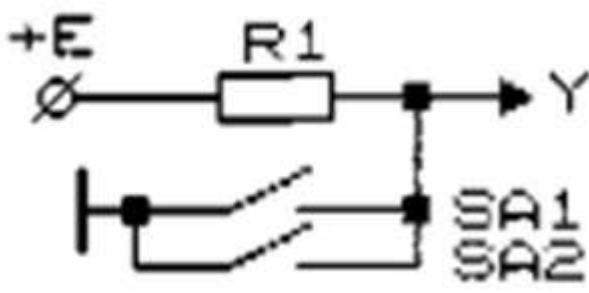
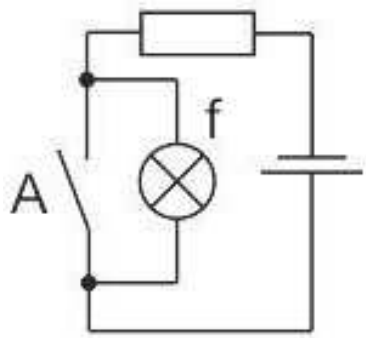


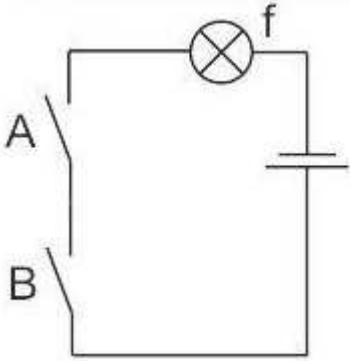
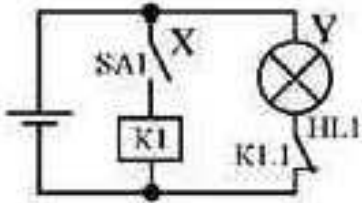
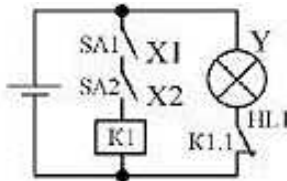
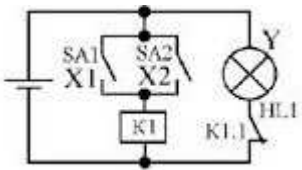
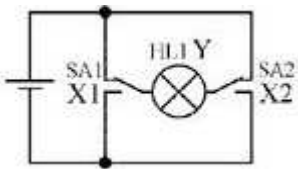
54. Логические элементы на МДП-ключах с пассивной нагрузкой.
55. Логические элементы на КМДП-ключах.
56. Основные типы линейных аналоговых устройств.
57. Резистивный делитель напряжения.
58. Пассивное устройство взвешенного суммирования.
59. Масштабные преобразователи: инвертор.
60. Масштабные преобразователи: усилитель, повторитель.
61. Переключательные функции одной и двух переменных.
62. Тождества и законы алгебры логики.
63. Дизъюнктивные и конъюнктивные нормальные формы представления функций алгебры логики.
64. Минимизация логических функций с использованием карт Карно.
65. Метод испытаний.
66. Анализ и синтез комбинационных схем.
67. Правила оформления схем цифровых устройств.
68. Логические схемы на биполярных транзисторах.
69. ТТЛ с транзисторами Шотки.
- 70.0 Основные электрические параметры и характеристики логических элементов ТТЛ.
71. Особенности применения микросхем ТТЛ при разработке цифровых устройств.
72. Логические элементы на КМОП-транзисторах.
73. Принципы построения логических элементов на КМОП-транзисторах.
74. Физическая структура микросхемы на КМОП-транзисторах.
75. Синтез линейного дешифратора.
76. Схема прямоугольного дешифратора.
77. Схема пирамидального дешифратора.
78. Области применения дешифраторов.
79. Шифраторы.
80. Различные способы построения мультиплексоров.
81. Универсальность использования мультиплексоров.
82. Мультиплексорное дерево.
83. Демультимплексоры.
84. Одноразрядный сумматор на два и три входа.
85. Способы межкаскадных связей.
86. Реализация сумматора на интегральных схемах.
87. Комбинационный сумматор с ускоренным распространением переноса.
88. Сумматор последовательного типа.
89. Накапливающий сумматор.
90. Двоично-десятичный сумматор.
91. Асинхронные RS-триггеры.
92. Синхронные триггеры со статическим управлением.
93. Двухступенчатые триггеры MS-типа с статическим управлением.
94. Схемы простейших регистров.
95. Реверсивные регистры.

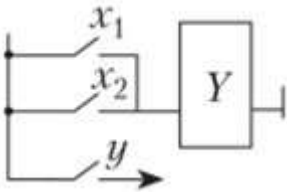
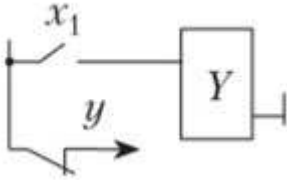
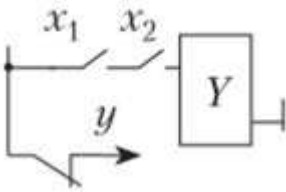
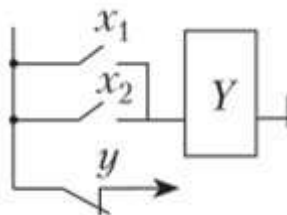
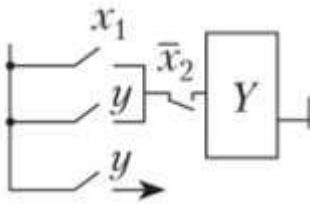
96. Асинхронные и синхронные счетчики.
97. Классическая и магистральная структуры вычислительных систем.
98. Организация программных устройств управления.
99. Организация устройств управления с жесткой логикой.
100. Особенности построения устройств управления.
101. Внутренняя и внешняя память вычислительных систем.
102. Классификация микросхем памяти.
103. Режимы работы и характеристики статических БИС ЗУ.
104. Организация статических ЗУ.
105. Структурная организация БИС ЗУ.
106. Построение разных видов запоминающих элементов ОЗУ.
107. Организация модулей ЗУ.
108. Структурная схема микропроцессора.
109. Система команд.
110. Способы адресации.
111. Процесс выполнения команды в микропроцессорном устройстве.
112. Интерфейсные интегральные схемы.
113. Проектирование радиоэлектронной аппаратуры: цель, задачи, концепция, методология, этапы.
114. Области (функциональная, структурная, геометрическая) и уровни представления ПЛИС.
115. Проектирование как процесс последовательного спуска по уровням областей представления (диаграмма Гайского-Кана).
116. Маршрут (поток) проектирования цифровых устройств на ПЛИС.
117. Иерархия языков проектирования аппаратуры.
118. Интерфейс JTAG: назначение, общие принципы граничного сканирования.
119. Интерфейс JTAG: структура цепочки, BSC и устройства управления.
120. Интерфейс JTAG: основные команды, диаграмма состояний TAP-контроллера.
121. Системы автоматизированного проектирования цифровых устройств на ПЛИС. Состав и назначение программных компонент.
122. Особенности САПР Quartus II фирмы Altera.
123. Микропроцессоры. Классификация процессоров. Понятия архитектуры и структуры. Варианты архитектур. Конвейерное выполнение команд.
124. Микропроцессоры. Регистровая модель. Способы адресации операндов.
125. Микропроцессоры. Группы команд. Примеры команд основных групп.
126. Особенности архитектуры микроконтроллеров. Популярные семейства микроконтроллеров.
127. Построение разных видов запоминающих элементов ОЗУ.
128. Организация модулей ЗУ.
129. Структурная схема микропроцессора.
130. Система команд.

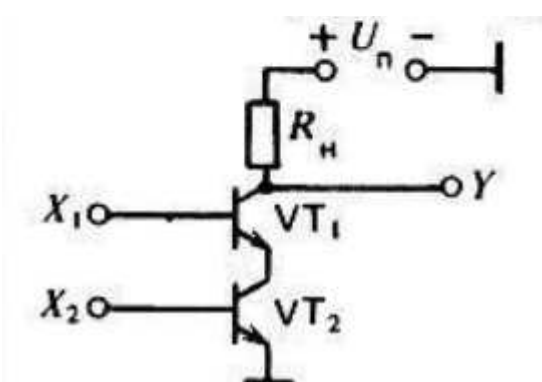
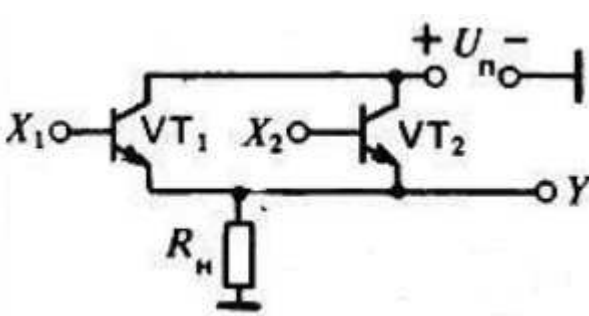
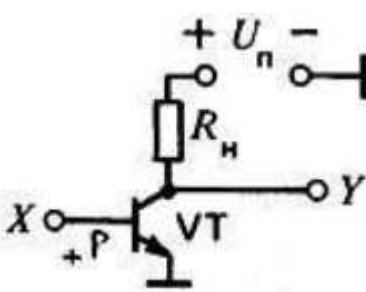
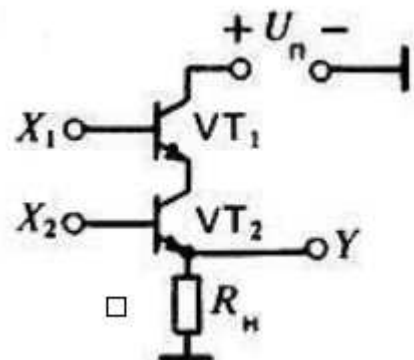
131. Способы адресации.
132. Процесс выполнения команды в микропроцессорном устройстве.
133. Интерфейсные интегральные схемы.
134. Программные и аппаратные способы реализации вычислительных алгоритмов.
135. Элементная база цифровой электронной техники.
136. Классификация цифровых интегральных микросхем.
137. ПЛИС в иерархии цифровых ИМС.
138. Концепция программирования структуры интегральных схем.
139. Классификация ПЛИС.
140. Области применения ПЛИС.

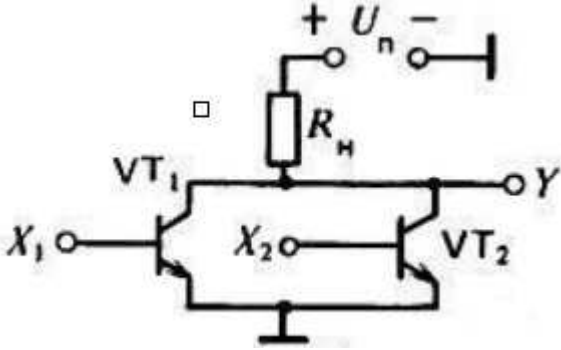
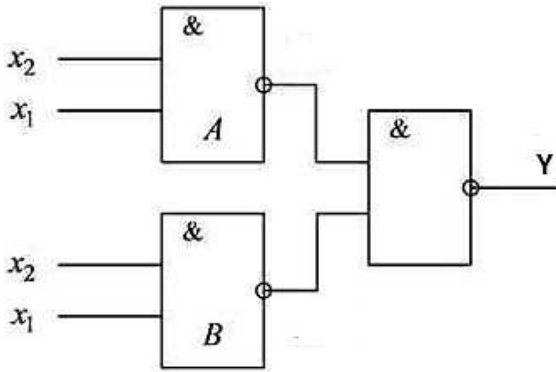
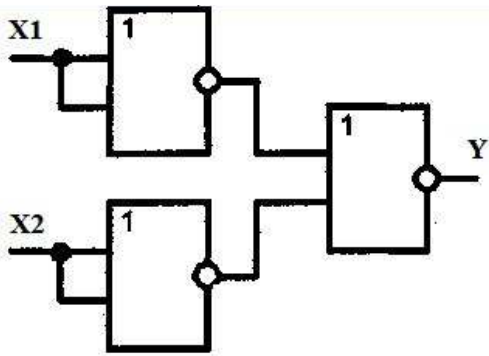
Перечень практических заданий к экзамену по дисциплине «Функциональная схемотехника»

№ п/п	Перечень практических заданий к экзамену
1.	<p><i>Схемный эквивалент какого логического элемента представлен на рисунке? Составить таблицу истинности.</i></p> 
2	<p><i>Схемный эквивалент какого логического элемента представлен на рисунке? Составить таблицу истинности.</i></p> 
3	<p><i>Схемный эквивалент какого логического элемента представлен на рисунке? Составить таблицу истинности.</i></p>

	
4	<p>Схемный эквивалент какого логического элемента представлен на рисунке? Составить таблицу истинности.</p> 
5	<p>Схемный эквивалент какого логического элемента представлен на рисунке? Составить таблицу истинности.</p> 
6	<p>Схемный эквивалент какого логического элемента представлен на рисунке? Составить таблицу истинности.</p> 
7	<p>Схемный эквивалент какого логического элемента представлен на рисунке? Составить таблицу истинности.</p> 
8	<p>Схемный эквивалент какого логического элемента представлен на рисунке? Составить таблицу истинности.</p>

	
9	<p>Схемный эквивалент какого логического элемента представлен на рисунке? Составить таблицу истинности.</p> 
10	<p>Схемный эквивалент какого логического элемента представлен на рисунке? Составить таблицу истинности.</p>
11	<p>Схемный эквивалент какого логического элемента представлен на рисунке? Составить таблицу истинности.</p> 
12	<p>Схемный эквивалент какого логического элемента представлен на рисунке? Составить таблицу истинности.</p> 
13	<p>Схемный эквивалент какого логического элемента представлен на рисунке? Составить таблицу истинности.</p> 

14	<p>Схемный эквивалент какого логического элемента представлен на рисунке? Составить таблицу истинности.</p> 
15	<p>Схемный эквивалент какого логического элемента представлен на рисунке? Составить таблицу истинности.</p> 
16	<p>Схемный эквивалент какого логического элемента представлен на рисунке? Составить таблицу истинности.</p> 
17	<p>Схемный эквивалент какого логического элемента представлен на рисунке? Составить таблицу истинности.</p> 

18	<p>Схемный эквивалент какого логического элемента представлен на рисунке? Составить таблицу истинности.</p> 
19	<p>Схемный эквивалент какого логического элемента представлен на рисунке? Составить таблицу истинности.</p> 
20	<p>Схемный эквивалент какого логического элемента представлен на рисунке? Составить таблицу истинности.</p> 
21	<p>Схемный эквивалент какого логического элемента представлен на рисунке? Составить таблицу истинности.</p> 